

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 1 月 27 日 (27.01.2005)

PCT

(10) 国際公開番号
WO 2005/008783 A1

(51) 国際特許分類: H01L 29/66, 21/82, 27/10

(21) 国際出願番号: PCT/JP2004/010206

(22) 国際出願日: 2004 年 7 月 16 日 (16.07.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-276660 2003 年 7 月 18 日 (18.07.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 阪本 利司 (SAKAMOTO, Toshitsugu) [JP/JP]; 〒1088001 東京都

港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 川浦 久雄 (KAWAURA, Hisao) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 砂村 潤 (SUNAMURA, Hiroshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

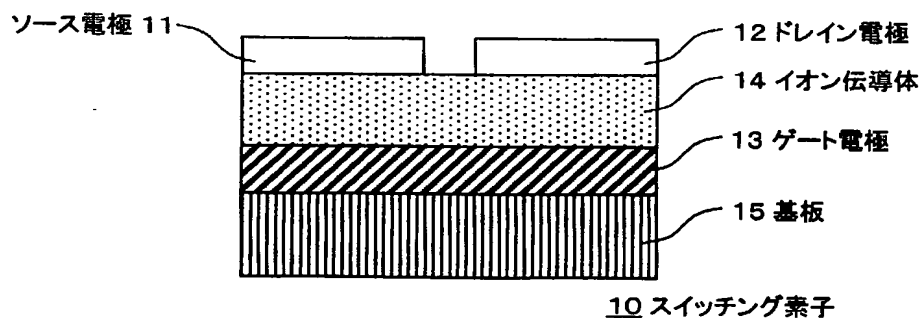
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SWITCHING ELEMENT, SWITCHING ELEMENT DRIVING METHOD, REWRITABLE LOGIC INTEGRATED CIRCUIT AND MEMORY ELEMENT

(54) 発明の名称: スイッチング素子、スイッチング素子の駆動方法、書き換え可能な論理集積回路およびメモリ素子



10...SWITCHING ELEMENT
11...SOURCE ELECTRODE
12...DRAIN ELECTRODE
13...GATE ELECTRODE
14...ION CONDUCTOR
15...SUBSTRATE

(57) Abstract: A switching element comprises an ion conductor for conducting metal ions used in electrochemical reaction, a first electrode and a second electrode provided apart from each other by a specified distance while in contact with the ion conductor, and a third electrode provided in contact with the ion conductor. When a voltage causing transition to ON state is applied to the third electrode, a metal is deposited by metal ions between the first electrode and the second electrode, thereby electrically connecting the first and the second electrode. When a voltage causing transition to OFF state is applied to the third electrode, the deposited metal is dissolved, thereby electrically disconnecting the first electrode and the second electrode.

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明のスイッチング素子は、電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、イオン伝導体に接して、所定の距離だけ離れて設けられた第1の電極および第2の電極と、イオン伝導体に接して設けられた第3の電極とを有する構成である。オン状態に遷移させる電圧が第3の電極に印加されると、第1の電極および第2の電極の間に金属イオンによる金属を析出させて第1の電極および第2の電極を電氣的に接続する。また、オフ状態に遷移させる電圧が第3の電極に印加されると、析出した金属を溶解させて第1の電極および第2の電極の電氣的接続を切る。

明 細 書

スイッチング素子、スイッチング素子の駆動方法、書き換え可能な論理集積回路およびメモリ素子

技術分野

[0001] 本発明は、電気化学反応を利用したスイッチング素子、およびその駆動方法、ならびにそのスイッチング素子を用いたFPL(フィールド・プログラマブル・ロジック:書き換え可能な論理集積回路)およびメモリ素子に関する。

背景技術

[0002] メモリ集積回路のうち、電源を切った状態でもオンまたはオフの状態を保持可能な不揮発性機能を備えたスイッチング素子として、第1の従来例のアンチフューズ素子と、第2の従来例のEEPROM(エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)とがある。

[0003] また、電気化学反応を利用して不揮発性機能を発揮するスイッチング素子として、第3の従来例のタイマー(または、電気化学的時間スイッチング装置)と、第4の従来例のPCRAM(プログラマブル・コンダクタ・ランダム・アクセス・メモリ)とがある。

[0004] 上記第1の従来例のアンチフューズ素子は、電氣的にオン状態とオフ状態の2つの状態を持ち、電氣的または物理的方法を用いてオフ状態からオン状態へ非可逆的に遷移可能なスイッチング素子である。第1の従来例のアンチフューズ素子については、米国特許第5070384号明細書および米国特許第5387812号明細書に開示されている。アンチフューズ素子は、通常2つの配線間に形成され、それらの配線間に選択的に高電圧を印加することによりアンチフューズ素子にプログラムし(オフ状態からオン状態に遷移させ)、配線間を電氣的に接続する。そして、電源遮断後もこのオン状態は保たれる。

[0005] 第2の従来例のEEPROMとして、浮遊ゲート電極がトランジスタの制御ゲート電極とチャンネル層の間に配置されている構成が米国特許第4203158号明細書に開示されている。浮遊ゲート電極に電荷が蓄えられ(充電)、または浮遊ゲート電極から電荷が放出すること(放電)によって、トランジスタのしきい電圧が変化する。この充電また

は放電は、酸化膜を介したトンネル電流によって電子を浮遊ゲートに注入し、または浮遊ゲート電極から電子を放出させて行う。浮遊ゲート電極は、周囲を絶縁膜で囲まれているため、蓄えられた電荷は電源遮断後も失われることなく不揮発性が実現される。

[0006] アンチフューズ素子およびEEPROMが、近年、アプリケーションごとにハードウェア構成を変更可能な集積回路であるFPLに使用されている。その一例が特開平8-78532号公報に開示されている。この特許文献に開示されたFPLは、複数の論理回路ブロックと、論理回路ブロック同士を接続するための配線と、配線の接続を切り替えるためのアンチフューズ素子とを有する構成である。アンチフューズ素子はプログラム用素子として用いられている。上記構成においてユーザにより選択されたアンチフューズ素子が配線を結線する。そのため、結線位置の設定毎にハードウェア構成が異なる。このFPLは、ASIC(アプリケーション・スペシファイド・インテグレイティッド・サーキット)に比べると汎用性があるため安価に製造され、かつ製造のTAT(ターン・アラウンド・タイム)が短縮できるなど利点が多く、急速に市場規模が拡大している。

[0007] 第3の従来例のタイマーは、直流電源と負荷と第1および第2の内部電極とで閉ループを構成し、内部電極の一部を電解液中に浸して電気メッキを行い、内部電極の一部を切断することにより時間を設定している。第3の従来例のタイマーについては、実開平2-91133号公報に開示されている。

[0008] 第4の従来例の電子素子として、イオンを伝導するための材料として銀イオン導電性イオン導電体(「イオン導電体」は本願明細書等に記載のイオン伝導体と同義語である)であるゲルマーセレン化銀を利用したPCRAMが、米国特許第6348365号明細書に開示されている。

[0009] 図1は米国特許第6348365号明細書に開示されたPCRAMの構造を示す断面概略図である。図1に示すように半導体基板87上に、絶縁材料81、導電材料82、誘電材料83が配置され、誘電材料83の一部にリセス構造(溝構造)が設けられている。リセス構造中にイオン導電材料86と金属材料84が配置され、電極85が金属材料84と誘電材料83の上に配置されている。電極85と導電材料82の間に電圧を加えると

、デンドライトと呼ばれる電流路がイオン導電材料86の表面に形成され、電極85と導電材料82が電氣的に接続される。逆の電圧を加えると、デンドライトはなくなり、電極85と導電材料82が電氣的に絶縁される。

「0010」 第1の従来例のアンチフューズ素子は、FPLで主に用いられているスイッチング素子であり、オン状態のときの素子の抵抗であるオン抵抗が小さい(50 Ω程度)ため、信号遅延時間が小さいことが特徴であるが、再プログラムができないという課題がある。したがって、FPLをプログラムする際に、デバッグや、動作中にプログラムを切り替えたいなどの要請に応えることができない。

「0011」 第2の従来例のEEPROMは再プログラムが可能であるものの、現在のところ集積度はまだ小さく、また、オン抵抗はMOS(メタル・オキシド・セミコンダクタ)トランジスタの抵抗で制限されるために数kΩと大きい。不揮発性メモリとして広く用いられているが、集積度は絶縁膜の厚さで制限され、集積化がますます難しくなっている。また、FPLに用いた場合には大きなオン抵抗のために信号遅延が発生するという問題がある。

「0012」 第3の従来例のタイマーは、電気化学反応である電気メッキにより電極が溶解するまでの時間を計測する装置であり、スイッチング素子としてオン状態とオフ状態を制御して切り替えることはできない。

「0013」 第4の従来例の電子素子では、電気化学反応を利用した2端子スイッチを基本としている。オン状態とオフ状態間の遷移は2端子間に印加する電圧で制御する。状態間を遷移する場合にはスイッチに電流が流れるため、消費電力が大きい。また、遷移に必要な電流に耐える太い配線や駆動力の大きいトランジスタが必要である。スイッチが集積化可能であるとしても、配線や周辺回路を集積化することが困難である。

発明の開示

「0014」 本発明の目的は、高集積化可能で、電源を切ってもオン状態およびオフ状態のうちいずれか一方の状態を保持し、オン状態での抵抗値が低く、さらに上記いずれか一方の状態に再プログラムが可能なスイッチング素子、およびその駆動方法、ならびにスイッチング素子を用いたFPLおよびメモリ素子を提供することにある。

「0015」 本発明のスイッチング素子は、金属イオンが伝導可能なイオン伝導体と、イオン伝

導体に接して配置された第1の電極および第2の電極と、イオン伝導体に接して配置され、金属イオンを含む第3の電極とを備え、第1の電極と第2の電極の電極間距離を $L1$ とし、第1の電極と第3の電極の電極間距離を $L2$ とし、第2の電極と第3の電極の電極間距離を $L3$ とすると、

$$L1 < L2 \times 2 \text{ かつ } L1 < L3 \times 2$$

の式の条件を満たすものである。

- [0016] 本発明では、第3の電極に印加する電圧を制御して、第1の電極と第2の電極との間に金属を析出させ、析出した金属を溶解させることができる。そして、第1の電極と第2の電極の間を電氣的に接続した状態と、電氣的に接続されていない状態とを切り替えることができる。
- [0017] また、上記本発明のスイッチング素子において、第1の電極と第2の電極の電極間距離が $0.5 \mu\text{m}$ 以下であることとしてもよい。この場合、第1の電極と第2の電極の電極間距離を $0.5 \mu\text{m}$ 以下にすることで、さまざまな集積回路に本発明のスイッチング素子を組込むことができる。
- [0018] また、上記本発明のスイッチング素子を、絶縁膜で覆われた基板または絶縁性の基板上に形成してもよい。この場合の一態様として、第1の電極および第2の電極が基板上に離間配置され、第1の電極と第2の電極の電極間距離が $0.5 \mu\text{m}$ 以下であり、イオン伝導体が第1の電極および第2の電極を覆うように配置され、第3の電極がイオン伝導体上に配置されたこととしてもよい。また、別の態様として、第3の電極が基板上に配置され、イオン伝導体が第3の電極上に配置され、第1の電極および第2の電極がイオン伝導体上に離間配置され、第1の電極と第2の電極の電極間距離が $0.5 \mu\text{m}$ 以下であることとしてもよい。さらに、別の態様として、第1の電極が基板上に配置され、イオン伝導体が第1の電極上に配置され、第2の電極および第3の電極がイオン伝導体上に配置され、第1の電極と第2の電極の電極間距離がイオン伝導体の膜厚以上であることとしてもよい。これらのうちいずれかの構成とすることで、半導体素子と組合せた集積回路素子を容易に形成できる。
- [0019] また、上記本発明のスイッチング素子において、第3の電極に電圧が印加されることにより、第1の電極と第2の電極の間の電気特性が制御されることとしてもよい。この

場合、電気特性が導電率であってもよい。

- [0020] また、上記本発明のスイッチング素子において、第1の電極および第2の電極の少なくとも1つの電極に対して第3の電極に正の電圧が印加されることにより、第1の電極と第2の電極の間が電氣的に接続された状態のオン状態が形成され、第1の電極および第2の電極の少なくとも1つの電極に対して第3の電極に負の電圧が印加されることにより、第1の電極と第2の電極の間が絶縁された状態のオフ状態が形成されることとしてもよい。
- [0021] また、上記本発明のスイッチング素子において、第2の電極が電気化学反応によりイオン伝導体中に溶解する金属を含むこととしてもよい。この場合、第1の電極に対して第2の電極に正の電圧が印加される、または第1の電極および第2の電極の少なくとも1つの電極に対して第3の電極に正の電圧が印加されることにより、第1の電極と第2の電極の間が電氣的に接続された状態のオン状態が形成され、第1の電極に対して第2の電極に負の電圧が印加される、または第1の電極および第2の電極の少なくとも1つの電極に対して第3の電極に負の電圧が印加されることにより、第1の電極と第2の電極の間が絶縁された状態のオフ状態が形成されることとしてもよい。
- [0022] また、上記本発明のスイッチング素子において、第1の電極、第2の電極および第3の電極のうち少なくとも1つの電極において、イオン伝導体に接する面に先鋭部を有することとしてもよい。
- [0023] また、上記本発明のスイッチング素子において、イオン伝導体が、元素の周期律表における6B族を含むカルコゲナイド材料、金属イオン性ガラス、または金属イオン性非晶質半導体であることとしてもよい。
- [0024] また、上記本発明のスイッチング素子において、イオン伝導体と第3の電極の組み合わせが、硫化銅と銅、または硫化銀と銀の組み合わせであり、第1の電極および第2の電極において、イオン伝導体と接する部分が、白金、アルミニウム、金、チタン、タングステン、バナジウム、ニオブ、タンタル、クロム、もしくはモリブデン、これらの金属の窒化物、またはこれらの金属のシリサイド、あるいはこれらの物質の組み合わせを含むものであることとしてもよい。
- [0025] 一方、本発明のスイッチング素子の駆動方法は、上記本発明のスイッチング素子に

において、第3の電極に印加する電圧および／または電圧印加時間によって電気特性を制御するものである。

[0026] また、本発明のスイッチング素子の駆動方法は、上記本発明のスイッチング素子において、オン状態とオフ状態とを第3の電極に印加する電圧の極性により切り替え、第3の電極への電圧を停止することによりオン状態またはオフ状態を保持するものである。この場合、オン状態とオフ状態間を遷移させる際、第1の電極および第2の電極間の伝導度を測定し、伝導度の変化量によって第3の電極に印加する電圧を制御することとしてもよい。

[0027] また、本発明の書き換え可能な論理集積回路は、上記本発明のスイッチング素子をプログラム用スイッチに用いる構成である。

[0028] さらに、本発明のメモリ素子は、上記本発明のスイッチング素子と、MOSTランジスタまたはダイオードとをそれぞれ1つずつ備えたメモリセルを基本単位とする構成である。この場合、メモリセルはMOSTランジスタを備え、スイッチング素子は、第2の電極がMOSTランジスタのドレイン電極に接続され、第1の電極が第1のビット線に接続され、第3の電極が第1のワード線に接続され、MOSTランジスタは、ソース電極が第1のビット線と異なる第2のビット線に接続され、ゲート電極が第1のワード線と異なる第2のワード線に接続されたこととしてもよい。

[0029] また、本発明のスイッチング素子は、電気化学反応を利用したスイッチング素子であって、電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、イオン伝導体に接して、所定の距離だけ離れて設けられた第1の電極および第2の電極と、スイッチング素子をオン状態に遷移させる電圧が印加されると第1の電極および第2の電極の間に金属イオンによる金属を析出させて第1の電極および第2の電極を電氣的に接続し、スイッチング素子をオフ状態に遷移させる電圧が印加されると析出した金属を溶解させて第1の電極および第2の電極の電氣的接続を切るための、イオン伝導体に接して設けられた第3の電極とを有する構成である。

[0030] 本発明では、スイッチング素子をオン状態にするための電圧を第3の電極に印加すると、電気化学反応によりイオン伝導体中を金属イオンが第1の電極および第2の電極に引き寄せられてこれらの電極表面に金属が析出され、第1の電極と第2の電極と

の間に析出した金属が両電極を電氣的に接続する。また、スイッチング素子をオフ状態にするための電圧を第3の電極に印加すると、第1の電極と第2の電極の間に析出した金属が金属イオンとなってイオン伝導体中に溶解され、第1の電極と第2の電極との電氣的接続が切れる。さらに、オン状態では、第1の電極と第2の電極とが金属で接続されるため、第1の電極および第2の電極間の抵抗値がより小さくなる。

[0031] また、上記本発明のスイッチング素子において、スイッチング素子がオン状態またはオフ状態になった後、第3の電極への電圧の印加が停止されても、その状態を保持することとしてもよい。

[0032] 本発明では、スイッチング素子をオン状態にした後、第3の電極に電圧を印加しなくても、析出した金属により第1の電極と第2の電極とが電氣的に接続された状態が維持される。また、スイッチング素子をオフ状態にした後、第3の電極に電圧を印加しなくても、第1の電極と第2の電極との電氣的接続の切れた状態が維持される。そのため、オン状態またはオフ状態の情報を保持した不揮発性を有することになる。

[0033] また、本発明のスイッチング素子は、電気化学反応を利用したスイッチング素子であって、電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、イオン伝導体に接して設けられた第1の電極と、スイッチング素子をオン状態に遷移させる電圧が印加されると金属イオンによる金属を析出させて第1の電極と電氣的に接続され、スイッチング素子をオフ状態に遷移させる電圧が印加されると析出した金属を溶解させて第1の電極との電氣的接続が切られる、イオン伝導体に接して第1の電極と所定の距離だけ離れて設けられた第2の電極と、第1の電極に対して正の電圧が印加されると第1の電極および第2の電極間の電流を増加させ、第1の電極に対して負の電圧が印加されると電流を減少させるための、イオン伝導体に接して設けられた第3の電極とを有する構成である。

[0034] 本発明では、スイッチング素子をオン状態にするための電圧を第2の電極に印加すると、電気化学反応によりイオン伝導体中を金属イオンが第1の電極に引き寄せられて電極表面に金属が析出され、第1の電極と第2の電極の間に析出した金属が両電極を電氣的に接続する。そして、第1の電極に対して正の電圧を第3の電極に印加することで、第1の電極と第2の電極の間に析出する金属の量が増え、電流が増加す

る。また、スイッチング素子がオン状態になった後、第1の電極に対して負の電圧を第3の電極に印加することで、第1の電極と第2の電極の間に析出した金属の量が減り、電流が減少する。そして、スイッチング素子をオフ状態にするための電圧を第2の電極に印加すると、第1の電極と第2の電極の間に析出した金属が金属イオンとなってイオン伝導体中に溶解され、第1の電極と第2の電極との電氣的接続が切れる。そのため、第2の電極に電圧を印加することでオン状態およびオフ状態を制御できるだけでなく、第3の電極に電圧を印加することで電流の大きさを制御できる。

[0035] また、本発明のスイッチング素子は、電気化学反応を利用したスイッチング素子であって、電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、イオン伝導体に接して設けられた第1の電極と、所定の電圧が所定の時間印加されると金属イオンによる金属が析出される、イオン伝導体に接して第1の電極と所定の距離だけ離れて設けられた第2の電極と、第2の電極に所定の電圧が所定の時間印加された後、スイッチング素子をオン状態に遷移させる電圧が印加されると金属イオンによる金属を析出させて第1の電極と第2の電極とを電氣的に接続するための、イオン伝導体に接して設けられた第3の電極とを有する構成である。

[0036] 本発明では、第1の電極と第2の電極とが電気化学反応により析出される金属で接続される前まで第2の電極に電圧を印加した後、スイッチング素子をオン状態にするための電圧を第3の電極に印加することで、第1の電極と第2の電極とを電氣的に接続している。そのため、第1の電極と第2の電極が電氣的に接続するときに電流が過剰に流れることを防ぎ、消費電力が抑制される。

[0037] また、上記本発明のスイッチング素子において、第3の電極はイオン伝導体に金属イオンを供給するための材料を含み、第1の電極および第2の電極がイオン伝導体と接する部位はイオン伝導体と反応しない材料であることとしてもよい。

[0038] 本発明では、電気化学反応により第3の電極から金属イオンがイオン伝導体に供給されるため、イオン伝導度が大きくなり、状態間の遷移速度がより大きくなる。

[0039] また、上記本発明のスイッチング素子において、第3の電極および第2の電極はイオン伝導体に金属イオンを供給するための材料を含み、第1の電極がイオン伝導体と接する部位はイオン伝導体と反応しない材料であることとしてもよい。

- [0040] 本発明では、電気化学反応により第3の電極および第2の電極から金属イオンがイオン伝導体に供給されるため、イオン伝導度が大きくなり、状態間の遷移速度がより大きくなる。
- [0041] また、上記本発明のスイッチング素子において、第1の電極および第2の電極が第3の電極の平面パターンに対して平行な同一平面内に形成され、第1の電極および第2の電極のうち少なくともいずれか一方の平面パターンに尖鋭部を有し、第1の電極と第2の電極との最短距離が一方の電極の尖鋭部から他方の電極までの距離で表わされることとしてもよい。
- [0042] 本発明では、2つの電極間の最短距離が一方の電極における尖鋭部から他方の電極までの距離になるため、その尖鋭部を有する方の電極では少なくとも尖鋭部付近に銅が析出されることで他方の電極と電氣的に接続可能となり、余分な銅の析出を必要とせず、オフ状態からオン状態への遷移速度がより大きくなる。また、スイッチング素子をオフ状態にする場合、上記尖鋭部付近の金属が溶解すればよいため、オン状態からオフ状態への遷移速度も大きくなる。
- [0043] 一方、上記目的を達成するための本発明の書き換え可能な論理集積回路は、上記本発明のスイッチング素子のうちいずれかをプログラム用素子に用いた構成である。本発明では、プログラム用素子として用いたスイッチング素子をオン状態またはオフ状態に遷移させることで、論理回路を自由に設定できる。
- [0044] また、上記目的を達成するための本発明のメモリ素子は、上記本発明のスイッチング素子のうちいずれかと、スイッチング素子がオン状態およびオフ状態のいずれの状態であるかを読み出すためのトランジスタとを有する構成である。本発明では、電気化学反応を利用してスイッチング素子をオン状態またはオフ状態にした後、第3の電極および第2の電極に電圧を印加しなくてもその状態が保持されるため、不揮発性メモリとして利用できる。
- [0045] したがって、本発明によれば、第3の電極および第2の電極のうち少なくともいずれか一方に所定の電圧を印加することでオン状態またはオフ状態に任意に設定可能で、不揮発性で、かつオン状態の抵抗値がより小さいスイッチング素子を提供できる。また、本発明のスイッチング素子は構造が簡便で微細であるため、従来よりもはるか

に微細化が可能である。

[0046] また、本発明のスイッチング素子をFPLに使用すれば、再プログラム可能で、かつ動作速度の大きいFPLを提供し得る。

[0047] また、本発明のスイッチング素子をメモリ素子の情報記憶手段に使用すれば、書き込み・読み出し速度の速い不揮発性メモリ素子を提供できる。そして、本発明のスイッチング素子は構造が簡便で微細であるため、高集積で高速なメモリ集積回路を提供できる。

[0048] さらに、本発明の製造方法によれば、従来の半導体集積回路の製造技術を適用して精度よく、再現性よく製造できる。したがって、スイッチング素子、およびそれを用いたFPLやメモリ素子等の集積回路を低コストで提供し得る。

図面の簡単な説明

[0049] [図1]図1は第4の従来例の電子素子の構成を示す断面概略図である。

[図2]図2は本発明のスイッチング素子の一構成例を示す断面図である。

[図3A]図3Aは本発明のスイッチング素子の電気特性を示すグラフである。

[図3B]図3Bは本発明のスイッチング素子の電気特性を示すグラフである。

[図4]図4は本発明のスイッチング素子の電気化学反応を説明するための図である。

[図5]図5は本発明のスイッチング素子の一構成例を示す断面図である。

[図6A]図6Aはソース電極およびドレイン電極の平面パターンの一例を示す平面模式図である。

[図6B]図6Bはソース電極およびドレイン電極の平面パターンの一例を示す平面模式図である。

[図7]図7はゲート電圧をフィードバック制御するためのフローチャートである。

[図8A]図8Aは実施例1のスイッチング素子の他の構造を示す断面図である。

[図8B]図8Bは実施例1のスイッチング素子の他の構造を示す断面図である。

[図8C]図8Cは実施例1のスイッチング素子の他の構造を示す断面図である。

[図9]図9はイオン伝導体に陽極分極法により作製した硫化銅を用いた実施例1のスイッチング素子の電気特性を示すグラフである。

[図10]図10はイオン伝導体にレーザーアブレーション法により作製した硫化銅を用

いた実施例1のスイッチング素子の電気特性を示すグラフである。

[図11]図11は実施例2のスイッチング素子の構成を示す断面図である。

[図12]図12はFPLに適用した本発明のスイッチング素子の一構成例を示す断面図である。

[図13]図13は本発明のスイッチング素子とMOSトランジスタを用いたメモリ素子を示す回路図である。

発明を実施するための最良の形態

[0050] 本発明のスイッチング素子の特徴は、次の通りである。第3の電極に印加する電圧を制御して第1の電極と第2の電極との間に金属を析出させることで、第1の電極と第2の電極の間が電氣的に接続された状態、すなわちオン状態にする。また、第1の電極と第2の電極の間に析出した金属を溶解させることで第1の電極と第2の電極の間が電氣的に接続されていない状態、すなわちオフ状態にする。さらに、各状態は第3の電極に電圧を印加するのを止めても保持される。

[0051] 本発明の構成について説明する。なお、以下の説明、ならびに図2、図3A、図3B、図5、図6A、図6B、図8A、図8B、図8C、図9、図10、図11および図12において、第1の電極がソース電極に対応し、第2の電極がドレイン電極に対応し、第3の電極がゲート電極に対応する。

[0052] 図2は本発明のスイッチング素子の一構成例を示す断面図である。

[0053] 図2に示すように、本発明のスイッチング素子は、絶縁膜としてシリコン酸化膜がシリコン基板に被覆された基板5上に所定の距離を設けて形成されたソース電極1およびドレイン電極2と、ソース電極1およびドレイン電極2に接して設けられ、電気化学反応のための金属イオンを含んだイオン伝導体4と、イオン伝導体4上に形成されたゲート電極3とを有する。ゲート電極3は、印加される電圧の大きさにより、ソース電極1およびドレイン電極2の間の伝導度を制御するためのものである。ソース電極1、ドレイン電極2およびゲート電極3は相互に電氣的に絶縁された状態で配置されている。

[0054] ゲート電極3は電気化学反応によってイオン伝導体4に金属イオンを供給するための材料を含んでいる。ソース電極1およびドレイン電極2のイオン伝導体4と接する部位には電気化学反応によってイオン伝導体4と反応しない材料が用いられているた

め、ソース電極1およびドレイン電極2は金属イオンを供給しない。

[0055] 上記構成のスイッチング素子の動作について説明する。

[0056] ソース電極1およびドレイン電極2に対してゲート電極3に正の電圧を印加すると、近接するソース電極1およびドレイン電極2上に金属イオンの還元反応によって金属が析出する。そして、ソース電極1およびドレイン電極2間に設けた所定の距離である電極間のギャップ6に析出した金属のためにソース電極1およびドレイン電極2が電氣的に接続されて、スイッチはオン状態に遷移する。一方、ソース電極1およびドレイン電極2に対してゲート電極3に負の電圧を印加すると、電極間のギャップ6において析出した金属が酸化されて金属イオンとなりイオン伝導体4中に溶解し、電極間のギャップ6の金属が取り除かれてオフ状態に遷移する。なお、この電極間のギャップ6はソース電極1およびドレイン電極2間の距離の最短部となる。

[0057] これらのオン状態およびオフ状態は、ゲート電極3に電圧を印加するのを止めてもそれぞれの状態が保持される。また、オン状態の後、ゲート電極3に印加する電圧の印加時間および印加電圧にしたがって金属が析出または溶解し、ゲート電極3に印加する電圧によりソース電極1およびドレイン電極2間の伝導度を制御可能となる。

[0058] ここで、ソース電極1とドレイン電極2の電極間距離を $L1$ とし、ソース電極1とゲート電極3の電極間距離を $L2$ とし、ドレイン電極2とゲート電極3の電極間距離を $L3$ とすると、下記(1)式の条件を満たすようにソース電極1、ドレイン電極2、およびゲート電極3を配置することが可能である。

[0059] $L1 < L2 \times 2$ かつ $L1 < L3 \times 2$ (1)

式(1)の条件を満たすような構成にすることで、ソース電極1およびドレイン電極2の両方から金属を成長させる場合、成長した金属によってソース電極-ドレイン電極間が電氣的に接続された状態が形成される前に、ソース電極-ゲート電極間またはドレイン電極-ゲート電極が電氣的に接続された状態が形成されることをほぼ回避できた。

[0060] また、下記(2)式の条件を満たすようにソース電極1、ドレイン電極2、およびゲート電極3を配置してもよい。

[0061] $L1 < L2 \times 1$ かつ $L1 < L3 \times 1$ (2)

式(2)の条件を満たすような構成にすることで、ソース電極およびドレイン電極のどちらか一方から金属を成長させる場合でも、成長した金属によってソース電極-ドレイン電極間が電氣的に接続された状態が形成される前に、ソース電極-ゲート電極間またはドレイン電極-ゲート電極が電氣的に接続された状態が形成されることをほぼ回避できた。また、ソース電極1とドレイン電極2の間の導電率をゲート電極3に印加する電圧により制御したい場合に、式(2)の条件を満たす構成にすることで、ゲート電極に印加する電圧の可変マージンを大きくできる。

[0062] さらに、下記(3)式の条件を満たすようにソース電極1、ドレイン電極2、およびゲート電極3を配置してもよい。

[0063] $L1 < L2 \times 1/2$ かつ $L1 < L3 \times 1/2$ (3)

式(3)の条件を満たすような構成にすることで、ソース電極および/またはドレイン電極から成長した金属によってソース電極-ゲート電極間またはドレイン電極-ゲート電極が電氣的に接続された状態が形成されることを確実に回避できた。

[0064] ソース電極1とドレイン電極2の電極間距離の $L1$ が短いほど、ゲート電極3に印加する電圧を小さくでき、素子の消費電力を小さくできる。さらに、スイッチオン状態とスイッチオフ状態の切替速度も速くできる。 $L1$ を $0.5 \mu\text{m}$ 以下にすることで、さまざまな集積回路に本発明のスイッチング素子を組込むことができる。一方、 $L1$ を短くしすぎると、単純にソース電極-ドレイン電極間に電圧をかけた時に流れる漏れ電流が大きくなる。ソース電極-ドレイン電極に流れる電流値の $1/10$ 以下に漏れ電流がなるように $L1$ を設定してもよい。

[0065] 次に、図2に示したスイッチング素子の電気特性について説明する。

[0066] 図3Aおよび図3Bはスイッチング素子の電気特性を示すグラフである。図3Aおよび図3Bに示すグラフの横軸は図2のスイッチング素子のゲート電極3に印加される電圧であるゲート電圧を示し、縦軸はソース電極1およびドレイン電極2の間に流れる電流であるドレイン電流を示す。

[0067] 図3Aの実測に用いたスイッチング素子は、イオン伝導体4が硫化銅水溶液であり、ソース電極1およびドレイン電極2はイオン伝導体4に溶解しない白金(Pt)で形成され、ゲート電極3はイオン伝導体4と電気化学反応を示す銅(Cu)で形成されている。

- [0068] 図3Aに示すように、ドレイン電極2とソース電極1との間の電圧を一定として、ゲート電極3とソース電極1との間の電位差を所定の範囲で繰返し増減させると、ドレイン電極2とソース電極1との間の伝導度がヒステリシスを示すことがわかる。以下に、そのことを詳細に説明する。
- [0069] 電圧を印加しない初期状態ではドレイン電流がほとんど流れないオフ状態である。このオフ状態からゲート電極3に印加するゲート電圧を0Vから正の方向に+0.3Vまで変化させると、ドレイン電流が約1.2mA流れてスイッチング素子がオン状態に遷移する。続いて、オン状態からゲート電圧を負の方向に-0.16Vまで変化させると、ドレイン電流がほとんど流れなくなり、スイッチング素子がオフ状態に遷移する。このように、ゲート電圧が-0.16Vと+0.3Vの間では遷移は起こらず、オン状態またはオフ状態が安定に存在する。また、ゲート電圧を繰返し増減させることにより、スイッチング素子をオン状態とオフ状態の間で何度でも遷移させることが可能である。
- [0070] 次に、上述の図3Aにおいてオン状態とオフ状態の遷移が生じる理由を説明する。
- [0071] 図4は電気化学反応による銅の析出および溶解を説明するための模式図である。
- [0072] 図4に示すように、硫酸銅と硫酸との混合溶液のイオン伝導体に金電極と銅電極とを浸漬し、銅電極側を正極、金電極側を負極にして電圧源により電圧を印加する。上記混合溶液は銅メッキ液であるため、正極の銅電極では銅が銅イオンとなってイオン伝導体に溶解し、負極の金電極では銅が析出する。このような電気化学反応によって銅の析出および溶解が起こる。
- [0073] 図4に示した電気化学反応を利用したのが、本発明のスイッチング素子である。図4に示した銅電極が図2に示したゲート電極3に相当する。また、図4に示した金電極が図2に示したソース電極1およびドレイン電極2に相当する。
- [0074] 次に、図4で示した電気化学反応を図2のスイッチング素子で説明する。
- [0075] 上述した電気化学反応によりソース電極1およびドレイン電極2の表面に銅を析出させると、電極間のギャップ6が銅で埋まり、ソース電極1とドレイン電極2が電氣的に接続され、スイッチング素子がオン状態に遷移する。スイッチング素子を図3Aに示したオン状態に遷移させた後、印加するゲート電圧を+0.3Vよりも大きくすると、ゲート電圧の値に伴ってドレイン電流が増加する。このことは、析出した銅の量が増えるこ

とで、ソース電極1とドレイン電極2との間の伝導度が増加することを示している。

[0076] 一方、電極間のギャップ6に析出した銅を上述した電気化学反応によりイオン伝導体4に溶解させると、電極間のギャップ6を埋めた銅が取り除かれ、ソース電極1とドレイン電極2の電氣的な接続が切れ、スイッチング素子がオフ状態に遷移する。

[0077] 次に、オン状態とオフ状態との間の遷移の速度について説明する。

[0078] 上述したように、ゲート電極3から溶解した銅イオンがソース電極1またはドレイン電極2の表面まで伝導して電子と結合することで銅が析出するため、ソース電極1とドレイン電極2が電氣的に接続される。また、ソース電極1とドレイン電極2との間のギャップを埋めた銅が溶解することで、ソース電極1とドレイン電極2の電氣的な接続が切れる。このことから、オン状態とオフ状態との間の遷移の速度は金属イオンがイオン伝導体中を伝導する速度と電気化学反応の速度によって決定される。そして、金属イオンが伝導する速度はイオン伝導度とゲート電圧に依存する。

[0079] 次に、図3Bの電気特性を示すスイッチング素子について説明する。

[0080] 図3Bの実測に用いたスイッチング素子は、イオン伝導体4が硫化銅水溶液であり、ソース電極1は白金(Pt)で形成され、ゲート電極3およびドレイン電極2はイオン伝導体4と電気化学反応を示す銅(Cu)で形成されている。

[0081] 図3Bに示すように、ドレイン電極2とソース電極1との間の電圧を一定として、ゲート電極3とソース電極1との間の電位差を所定の範囲で繰返し増減させると、ドレイン電極2とソース電極1との間の伝導度がヒステリシスを示すことがわかる。以下に、そのことを詳細に説明する。

[0082] 電圧を印加しない初期状態ではドレイン電流がほとんど流れないオフ状態である。このオフ状態からゲート電極3に印加するゲート電圧を0Vから正の方向に+0.75Vまで変化させると、ドレイン電流が約2mA流れてスイッチング素子がオン状態に遷移する。続いて、オン状態からゲート電圧を負の方向に-0.4Vまで変化させると、ドレイン電流がほとんど流れなくなり、スイッチング素子がオフ状態に遷移する。このように、ゲート電圧が-0.4Vと+0.75Vの間では遷移は起こらず、オン状態またはオフ状態が安定に存在する。また、ゲート電圧を繰返し増減させることにより、スイッチング素子をオン状態とオフ状態の間で何度でも遷移させることが可能となる。

[0083] さらに、図3Aおよび図3Bの実測に用いたスイッチング素子の構成においては、ドレイン電極がイオン伝導体と電気化学反応を示す銅で構成されていることから、上述したように、ドレイン電極とソース電極間に電圧を印加することによってもスイッチをオン状態あるいはオフ状態へ遷移させることができる。

[0084] なお、ここではイオン伝導体4として硫酸銅と硫酸との混合水溶液の電解液を用いたが、他のイオン伝導体においても同様の効果が発現する。イオン伝導体は、液体と固体との2種類に大きく分類される。液体には上記電解液があり、固体には溶液中のように金属イオンが自由に移動できる物質である固体電解質がある。集積回路中にスイッチング素子を用いる場合にはイオン伝導体は固体が適している。中でも、銀イオンと銅イオンは適切な固体電解質、例えば、硫化銀や硫化銅の中でイオン伝導性を示す。発明者らは、上記硫酸銅と硫酸の混合水溶液中の銅イオンと同様に、硫化銀中の銀イオンおよび硫化銅中の銅イオンのいずれにおいても、オン状態とオフ状態の間を遷移するスイッチング現象を示すことを見出している。銀イオンおよび銅イオンがイオン伝導する材料としては、周期律表において6B族の元素を含むカルコゲナイドの他に、金属イオン性ガラスおよび金属イオン性非晶質半導体などが知られている。

[0085] このような動作原理に基づく素子は、従来全く知られていなかったことであり、発明者らが初めて原理を考案し、実証に成功したものである。

(第1実施例)

本発明のスイッチング素子のうち、イオン伝導体に固体電解質を用いたスイッチング素子の構成について説明する。

[0086] 図5はスイッチング素子の一構成例を示す断面図である。図5に示すように、スイッチング素子10は、絶縁膜としてシリコン酸化膜が被覆された基板15上に形成されたゲート電極13と、ゲート電極13上に形成されたイオン伝導体14と、イオン伝導体14上に形成されたソース電極11およびドレイン電極12とを有する。ソース電極11とドレイン電極12は同一平面内に形成され、この2つの電極間には100nm以下のギャップが設けられている。ソース電極11、ドレイン電極12およびゲート電極13は相互に電氣的に絶縁された状態で配置されている。

- [0087] ゲート電極13は電気化学反応によってイオン伝導体14に金属イオンを供給するための材料を含んでいる。イオン伝導体14は固体電解質であって電子伝導ができるだけ小さいものが好ましい。電子伝導が大きいほどスイッチング素子のオフ状態におけるリーク電流が大きくなるからである。ソース電極11およびドレイン電極12においてイオン伝導体14と接する部位は、電気化学反応によってイオン伝導体4と反応しない材料が用いられ、イオン伝導体4と接触しても金属イオンを供給しない。
- [0088] イオン伝導体4と反応しない材料として、例えば、白金、アルミニウム、金、チタン、タングステン、バナジウム、ニオブ、タンタル、クロム、およびモリブデンなどの金属がある。また、化学反応しにくく、イオンになりにくい材質として、これらの金属の窒化物であつてもよい。また、これらの金属によるシリサイドのようなシリコン化合物(シリ化物)であつてもよい。そして、ソース電極11およびドレイン電極12のイオン伝導体14と接触する各部位は、共通の材料である必要はなく、これらの金属や化合物の中の材料のうちいずれかであればよい。
- [0089] 次に、ソース電極11およびドレイン電極12の平面パターンについて説明する。
- [0090] 図6Aおよび図6Bはソース電極11およびドレイン電極12の平面パターンの一例を示す平面模式図である。
- [0091] 図6Aに示すように、ソース電極11とドレイン電極12の平面パターンが四角形であると、これら2つの電極のギャップは平行する2つの辺で形成される。
- [0092] 一方、図6Bに示す場合では、ソース電極11およびドレイン電極12の平面パターンは多角形であり、両パターンの頂点同士で2つの電極の最短距離となるギャップが形成されている。この場合には、ソース電極11とドレイン電極12との銅の析出による接続は、上記頂点間の銅の析出で可能となるため、余分な銅の析出を必要とせず、図6Aの場合と比較してオン状態に遷移する速度がより大きくなる。また、析出した銅が溶解して2つの電極が切り離されてオフ状態に遷移する速度もより大きくなる。なお、図6Bではソース電極11とドレイン電極12とのギャップが頂点間で形成されているが、どちらか一方が辺であつてもよい。この場合でも、図6Aの場合よりもスイッチング現象における遷移速度が大きくなると考えられるからである。また、上記2つの電極が多角形である必要はなく、少なくともどちらか一方の電極に上記頂点のような尖鋭部を

有していればよい。

[0093] 次に、上記構成のスイッチング素子の動作について説明する。

[0094] ソース電極11を接地し、ドレイン電極12に+0.1V印加してゲート電極13に正の電圧を印加すると、ソース電極11とドレイン電極12との間に流れるドレイン電流が観測され、スイッチング素子がオン状態に遷移した。スイッチング素子がオン状態に遷移した後、ゲート電極13に印加するゲート電圧をさらに大きくすると、ドレイン電流が増大した。一方、ゲート電極13に負の電圧を印加するとドレイン電流が小さくなりスイッチング素子がオフ状態に遷移した。

[0095] なお、オン状態とオフ状態との間を遷移させる際に、ソース電極11およびドレイン電極12の2つの電極間の抵抗値について所望の値である目標抵抗値になるようにゲート電圧の印加時間または印加電圧を、以下に示すようにしてフィードバック制御してもよい。

[0096] 図7はゲート電圧をフィードバック制御するためのフローチャートである。なお、実験ではパーソナルコンピュータ(以下、PCと称する)で制御を行った。PCには、プログラムにしたがって所定の処理を実行するCPU(セントラル・プロセッシング・ユニット)と、プログラムを格納するための記憶部とを有する。

[0097] 図7に示すように、PCは、所定の電圧をゲート電極13に印加すると(ステップS101)、ドレイン電流となる出力電流を読み出し(ステップS102)、印加した電圧の値と読み出した出力電流の値から上記2つの電極間の抵抗値を求め、予め設定された目標抵抗値と比較する(ステップS103)。また、ゲート電極13に印加した電圧の値および印加時間と、求めた抵抗値とをデータとして記憶部に格納する。

[0098] ステップS103で比較した結果、求めた抵抗値が目標抵抗値と所定の範囲内で一致すれば、電圧の印加を終了させる(ステップS104)。一方、ステップS103で求めた抵抗値が目標抵抗値の所定の範囲に入らなければ、ステップS101に戻り、続けて電圧を印加する。

[0099] なお、図7に示したフローチャートにしたがって1回の処理に要する時間は100ms程度であるが、専用の電気回路を用いれば1回の処理に要する時間を100ns以下にすることも可能となる。

- [0100] このようにして、ゲート電極に印加した電圧の値をフィードバックすることで、オン状態とオフ状態間を確実に遷移させることができるだけでなく、オン抵抗、およびオフ状態のときの素子の抵抗であるオフ抵抗をより正確に決めることができる。
- [0101] 次に、上記構成のスイッチング素子の製造方法について説明する。
- [0102] 半導体基板上にシリコン酸化膜を膜厚300nm形成した後、真空蒸着法により銅膜を膜厚150nm形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、レジストで被覆されていない部位の銅膜をイオンミリング法で除去してゲート電極14を形成する。その後、陽極分極法を用いてイオン伝導体14として硫化銅を膜厚100nm形成する。
- [0103] ここで、陽極分極法について詳細に説明する。0.025モル/Lの硫化ナトリウム水溶液中で、硫化される側の金属である銅を含んだゲート電極14を陽極にし、金を陰極にして電圧を印加する。これにより、水溶液中の硫黄イオンが陽極に引き寄せられ、電気化学反応によってゲート電極14の表面から銅が硫化銅に変化する。イオン電流を計測することで硫化の進み具合をモニタし、所望の膜厚のイオン伝導体14を形成する。
- [0104] 上記イオン伝導体14を形成した後、スパッタリング法によりチタン膜を膜厚10nm形成し、真空蒸着法により金膜を膜厚100nm形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、ドライエッチングを行うことでソース電極11およびドレイン電極12を形成し、その後、レジストを除去する。ここで、ソース電極11およびドレイン電極12の2つの電極を形成する際、電極間のギャップの大きさを100nm以下にしている。
- [0105] なお、チタン膜の形成にスパッタリング法を用いたが、真空蒸着法であってもよい。また、ソース電極11およびドレイン電極12を形成する際、ドライエッチングの代わりにリフトオフ法を用いてもよい。
- [0106] また、硫化銅を形成する際に陽極分極法を用いたが他の方法を用いてもよい。例えば、銅を気相中、200度C以上の温度で硫黄と反応させて硫化銅を形成する方法や、硫化銅をレーザーアブレーション法により成膜する方法であってもよい。
- [0107] 本実施例ではシリコン酸化膜が被覆された基板15上にスイッチング素子を形成し

たが、基板表面に予め形成されたMOSトランジスタや配線などを被覆する絶縁膜上に本実施例のスイッチング素子を形成してもよい。スイッチング素子の製造工程における熱処理の温度が400度C以下であるため、上記絶縁膜上にスイッチング素子を形成しても、MOSトランジスタや配線の特性に対してほとんど影響を及ぼさないからである。また、スイッチング素子の上に形成した絶縁膜を介して、さらにスイッチング素子を形成することも可能である。そのため、本発明のスイッチング素子を適用すれば、集積回路の高集積化が容易となる。

- [0108] なお、本発明のスイッチング素子について図5に示した構成は1つの例示であって、本発明の範囲を逸脱しないような別の構成が可能である。本発明の他の構成例を図8Aから図8Cに示す。
- [0109] 図8Aでは、図5で示したスイッチング素子におけるイオン伝導体とゲート電極が絶縁層26中に埋め込まれたリセス構造となっている。シリコン酸化膜が被覆された基板25の上に所定の開孔を有し、その開孔にはゲート電極23とイオン伝導体24とが順に形成されている。イオン伝導体24の上にはソース電極21とドレイン電極22とが形成されている。なお、ソース電極21とドレイン電極22との間のギャップの距離は図5と同様である。このようにリセス構造とすることで、スイッチング素子を複数形成した場合、隣接する素子同士を電氣的に絶縁する絶縁層26の上面が平坦となり、絶縁層26上に形成するソース電極21およびドレイン電極22に接続される配線を平坦化することができ、配線の断線がより起こりにくくなる。
- [0110] 図8Bでは、図8Aで示したスイッチング素子におけるゲート電極とソース電極およびドレイン電極を上下反転させた構造となっている。この場合には、イオン伝導体34がソース電極31とドレイン電極32との間のギャップ中にも形成されていることが特徴となる。
- [0111] 図8Cでは、ソース電極41とゲート電極43が同じ配線層に設けられ、ドレイン電極42がイオン伝導体44を挟んで異なる配線層に設けられているのが特徴である。この場合、ドレイン電極42とソース電極41との間のギャップの大きさをイオン伝導体44の膜厚で設定できる。
- [0112] 図9に本実施例の、陽極分極法により硫化銅を形成した場合のスイッチング素子の

電気特性を示す。ソース電極11を接地し、ドレイン電極に+0.1Vを印加し、さらにゲート電極13に正の電圧を印加すると、ソース電極とドレイン電極の間に流れる電流が観測され、スイッチング素子がオン状態へ遷移した。一方、負のゲート電圧を印加すると電流が小さくなりオフ状態へと遷移した。次に、オン状態の後、正のゲート電圧を印加すると、ソース電極とドレイン電極の間に流れる電流が増大した。

- [0113] 図10に本実施例の、レーザーアブレーション法により硫化銅を形成した場合のスイッチング素子の電気特性を示す。ソース電極11を接地し、ドレイン電極に+0.01Vを印加し、さらにゲート電極13に正の電圧を印加すると、ソース電極とドレイン電極の間に流れる電流が観測され、スイッチング素子がオン状態へ遷移した。一方、負のゲート電圧を印加すると電流が小さくなりオフ状態へと遷移した。次に、オン状態の後、正のゲート電圧を印加すると、ソース電極とドレイン電極の間に流れる電流が増大した。

(第2実施例)

本実施例は、実施例1におけるドレイン電極をゲート電極と同じ材料で形成したことを特徴とする。

- [0114] 本実施例のスイッチング素子の構成について説明する。
- [0115] 図11は本実施例によるスイッチング素子の構成を示す断面図である。
- [0116] 図11に示すように、スイッチング素子50は、絶縁膜が被覆された基板55上に形成されたゲート電極53と、ゲート電極53の上に形成されたイオン伝導体54と、イオン伝導体54の上に形成されたソース電極51およびドレイン電極52とを有する。ソース電極51、ドレイン電極52およびゲート電極53は相互に電氣的に絶縁された状態で配置されている。
- [0117] ソース電極51とドレイン電極52は同一平面内に形成されている。ゲート電極53およびドレイン電極52は電気化学反応によってイオン伝導体54に金属イオンを供給するための材料を含むものである。ソース電極51およびイオン伝導体54のそれぞれは実施例1の場合と同様な材料であるため、ここではその詳細な説明を省略する。
- [0118] 次に、上記構成のスイッチング素子におけるソース電極51およびドレイン電極52による2電極スイッチング素子の動作について説明する。

- [0119] ソース電極51を接地し、ドレイン電極52に正の電圧を印加することで、ソース電極51とドレイン電極52との間に銅の析出物による金属フィラメントが成長し、ソース電極51とドレイン電極52が電氣的に接続され、スイッチング素子がオン状態になる。一方、スイッチング素子がオン状態になった後、ドレイン電極52に負の電圧を印加することで、ソース電極51とドレイン電極52との間の金属フィラメントがイオン伝導体54に溶解し、ソース電極51とドレイン電極52との接続が切れ、スイッチング素子がオフ状態になる。
- [0120] なお、上記2電極スイッチング素子と同様な構成による動作については開示されている(アプライド・フィジックス・レター誌、82巻、18号、p. 3032〜3034)。本実施例では、以下に説明するように、ゲート電極53によってドレイン電流の大きさを制御する点に特徴がある。
- [0121] 次に、上記構成のスイッチング素子の動作について説明する。
- [0122] 上述のようにしてドレイン電極52に電圧を印加することで、ソース電極51とドレイン電極52が金属フィラメントによって接続されてオン状態になった後、ゲート電極53に正の電圧を印加することで、オン抵抗が小さくなるだけでなく、ドレイン電流が増大する。その理由は次の通りである。オン状態になってソース電極51とドレイン電極52とが接続されると、オン抵抗の値が小さくなるためドレイン電極52に電圧がかかりにくくなり、銅の析出量を増やすことができなくなる。これに対して、ゲート電極53に正の電圧を印加すれば、ソース電極51およびドレイン電極52の間に銅をさらに析出させることになり、オン抵抗の値を小さくできる。
- [0123] 一方、オン状態になった後、ゲート電極53に負の電圧を印加することで、ドレイン電流を減少させ、金属フィラメントを取り除いてオン抵抗を大きくし、さらにはオフ状態にすることが可能である。
- [0124] 具体的な例として、オン抵抗の値を $10\ \Omega$ 、ドレイン電圧を0.1Vとすると、ドレイン電流は10mAになる。10mAという電流は配線幅が微細な半導体の集積回路では非常に大きな値であり、配線を太くしないと配線が焼き切れたり、配線中の原子が移動する現象(エレクトロマイグレーション)により断線したりといった問題が発生する。そこで、オン状態でゲート電極53に電圧を印加することで、オン抵抗の値を制御し、過剰

なドレイン電流を流さないようにすることが可能となる。

- [0125] また、ドレイン電極52に所定の正の電圧を所定の時間印加してソース電極51とドレイン電極52との間で金属フィラメントが接続される直前に、ゲート電極53に電圧を印加することでスイッチング素子をオン状態にする。この場合、ゲート電極53に印加する電圧は小さくてすみ、上記2電極スイッチング素子の欠点であった、スイッチング素子がオンするときにドレイン電流が流れすぎる問題を解消できる。なお、ソース電極51とドレイン電極52との間で金属フィラメントが接続される直前の状態にするための、ドレイン電極52に印加する上記所定の電圧および時間を予め調べ、ゲート電極53に電圧を印加するタイミングを設定する必要がある。
- [0126] 本実施例では、ソース電極51とドレイン電極52とを電氣的に接続させるのに、上述したようにして、ソース電極51とドレイン電極52との間に電圧を印加してもよく、ゲート電極53に電圧を印加してもよい。
- [0127] 次に、本実施例のスイッチング素子の製造方法について説明する。なお、実施例1と同様な工程についてはその詳細な説明を省略する。
- [0128] 実施例1と同様にしてゲート電極53とイオン伝導体54を形成した後、スパッタリング法によりチタン膜を膜厚10nm形成し、真空蒸着法により金膜を膜厚100nm形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、ドライエッチングを行うことでソース電極51を形成し、レジストを除去する。その後、真空蒸着法により銅膜を膜厚100nm形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、レジストで被覆されていない部位の銅膜をイオンミリング法で除去してドレイン電極52を形成し、レジストを除去する。ソース電極51とドレイン電極52との間のギャップの大きさが100nm以下になるようにしている。
- [0129] なお、チタン膜の形成にスパッタリング法を用いたが、真空蒸着法であってもよい。また、ソース電極51およびドレイン電極52を形成する際、ドライエッチングの代わりにリフトオフ法を用いてもよい。さらに、硫化銅を形成する際に陽極分極法を用いたが、実施例1と同様に他の方法を用いてもよい。
- [0130] 本実施例のスイッチング素子は1つの例示であって、本発明の範囲を逸脱しないような別の構成が可能である。また、ドレイン電極をゲート電極と同じ材料で形成する点

を除けば、実施例1に述べた構成、配置、および製造方法を本実施例に当てはめることができる。

(実施例3)

本発明のスイッチング素子を用いたFPLの構成について説明する。

[0131] FPLは、背景技術で述べたように、複数の論理回路ブロックと、論理回路ブロック同士を接続するための配線と、配線の接続を切り替えるためのアンチフューズ素子とを有する構成である。本実施例では、プログラム用素子としてアンチフューズ素子の代わりに本発明のスイッチング素子を適用した。

[0132] 図12はFPLに適用した本発明のスイッチング素子の構成を示す断面図である。

[0133] 図12に示す構成は、実施例1の図8Aのソース電極21を配線A61にして、ドレイン電極22を配線B62にしたものである。

[0134] 図12に示したスイッチング素子の動作について説明する。

[0135] 配線A61および配線B62を接地してゲート電極63に正の電圧を印加するか、または、配線A61および配線B62に負の電圧を印加してゲート電極63を接地することで、配線A61と配線B62との間に銅を析出させて配線A61と配線B62とを電氣的に接続させる。一方、配線A61および配線B62を接地してゲート電極63に負の電圧を印加するか、または、配線A61および配線B62に正の電圧を印加してゲート電極63を接地することで、析出した銅を溶解させ配線A61と配線B62とを電氣的に切り離す。

[0136] なお、FPLに用いるスイッチング素子は、実施例1の構成について図8Aに示した構成以外でもよく、実施例2で示した構成であってもよい。

[0137] 次に、図12に示したスイッチング素子の製造方法について説明する。なお、実施例1および実施例2と同様な工程についてはその詳細な説明を省略する。

[0138] 論理回路ブロックおよび周辺回路を形成した基板上に絶縁層65を形成する。続いて、所定の開孔を有する絶縁層64を形成し、開孔にゲート電極63およびイオン伝導体24を順に形成する。その後、図8Aで示したソース電極21およびドレイン電極22の代わりに、配線A61および配線B62を形成する。

[0139] 本発明のスイッチング素子を用いたFPLは、実験の結果、数百万回以上の書き換えが可能であった。また、オン抵抗が小さいため信号遅延が小さくなる。さらに、書き

換えができる点で従来技術のアンチフューズ素子より優れ、信号遅延が少ない点でEEPROMを用いたFPLより優れている。

(実施例4)

本発明のスイッチング素子を情報記憶手段に用いたメモリ素子の構成について説明する。

[0140] 図13は本発明のスイッチング素子を用いたメモリ素子の回路模式図である。

[0141] 図13に示すように、メモリアレイ70は、アレイ状のメモリセルと、ビット線73a〜73zと、ワード線74a〜74yと、ワード線75a〜75yとを有する。メモリセル76は、セル選択用のMOSTランジスタ71と、スイッチング素子72とを有する構成である。ビット線およびワード線のそれぞれは図に示さないデコーダ回路およびドライバ回路のそれぞれに接続されている。ビット線は隣接するメモリセルと共通になっている。なお、メモリアレイ70、および図に示さないデコーダ回路およびドライバ回路等の周辺回路を含めてメモリ集積回路が構成されている。

[0142] メモリセル76において、MOSTランジスタは、ソース電極がビット線73aに接続され、ゲート電極がワード線74aに接続されている。スイッチング素子72は、ソース電極がビット線73bに接続され、ゲート電極がワード線75aに接続されている。そして、スイッチング素子72のドレイン電極はMOSTランジスタ71のドレイン電極に接続されている。

[0143] 次に、上記構成のメモリ素子の動作について説明する。なお、記憶情報“1”と“0”のうち、スイッチング素子のオン状態を“1”とし、オフ状態を“0”とする。また、スイッチング素子のオン状態とオフ状態とを遷移させるのに必要な電圧(ゲート電圧とソース電極に印加される電圧との差)を V_t とし、MOSTランジスタ71の動作電圧を V_R とする。

[0144] メモリセル76に“1”を書き込む場合には、メモリセル76のスイッチング素子72のゲート電極に接続されたワード線75aに電圧 V_t を印加し、ソース電極に接続されたビット線73bの電圧を0Vにする。そして、ワード線75b〜75y、ならびにビット線73aおよび73c〜73zに電圧($V_t/2$)を印加する。スイッチング素子72は、実施例1および実施例2で説明したようにオン状態になり、スイッチング素子72には記憶情報“1”が書き込まれる。このとき、スイッチング素子72以外の他のスイッチング素子は記憶情報

が書き込まれず、電圧が印加される前の状態を保持する。

- [0145] メモリセル76に“0”を書き込む場合には、メモリセル76のスイッチング素子72のゲート電極に接続されたワード線75aの電圧を0Vにして、ソース電極に接続されたビット線73bに電圧 V_t を印加する。そして、ワード線75b〜75y、ならびにビット線73aおよび73c〜73zに電圧($V_t/2$)を印加する。スイッチング素子72は、実施例1および実施例2で説明したようにオフ状態になり、スイッチング素子72には記憶情報“0”が書き込まれる。スイッチング素子72以外の他のスイッチング素子は電圧が印加される前の状態を保持する。
- [0146] メモリセル76の情報を読み出すには、ワード線74aに電圧 V_R を印加してMOSTランジスタ71をオンさせ、他のワード線の電圧を0Vにして、ビット線73aとビット線73bとの間の抵抗値を求める。この抵抗値はMOSTランジスタ71のオン抵抗とスイッチング素子72との合成抵抗値であり、この合成抵抗値が測定できないほど大きい場合にはスイッチング素子72がオフ状態と判定でき、メモリセル76の記憶情報が“0”であることがわかる。一方、上記合成抵抗値が所定の値より小さい場合にはスイッチング素子72がオン状態と判定でき、メモリセル76の記憶情報が“1”であることがわかる。
- [0147] なお、上記MOSTランジスタの代わりにダイオードを用いてもよい。
- [0148] 本発明は上記実施例に限定されることなく、発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

請求の範囲

- [1] 金属イオンが伝導可能なイオン伝導体と、
前記イオン伝導体に接して配置された第1の電極および第2の電極と、
前記イオン伝導体に接して配置され、前記金属イオンを含む第3の電極とを備え、
前記第1の電極と前記第2の電極の電極間距離を $L1$ とし、該第1の電極と前記第3の電極の電極間距離を $L2$ とし、該第2の電極と該第3の電極の電極間距離を $L3$ とすると、
$$L1 < L2 \times 2 \text{ かつ } L1 < L3 \times 2$$

の式の条件を満たすスイッチング素子。
- [2] 前記第1の電極と前記第2の電極の電極間距離が $0.5 \mu\text{m}$ 以下である請求項1記載のスイッチング素子。
- [3] 絶縁膜で覆われた基板または絶縁性の基板上に形成されたスイッチング素子であって、
金属イオンが伝導可能なイオン伝導体と、
前記イオン伝導体に接して配置された第1の電極および第2の電極と、
前記イオン伝導体に接して配置され、電気化学反応により前記イオン伝導体中に溶解する金属を含む第3の電極とを備え、
前記第1の電極と前記第2の電極の電極間距離を $L1$ とし、該第1の電極と前記第3の電極の電極間距離を $L2$ とし、該第2の電極と該第3の電極の電極間距離を $L3$ とすると、
$$L1 < L2 \times 2 \text{ かつ } L1 < L3 \times 2$$

の式の条件を満たすスイッチング素子。
- [4] 前記第1の電極および前記第2の電極が前記基板上に離間配置され、該第1の電極と該第2の電極の電極間距離が $0.5 \mu\text{m}$ 以下であり、
前記イオン伝導体が前記第1の電極および前記第2の電極を覆うように配置され、
前記第3の電極が前記イオン伝導体上に配置された請求項3記載のスイッチング素子。
- [5] 前記第3の電極が前記基板上に配置され、

前記イオン伝導体が前記第3の電極上に配置され、

前記第1の電極および前記第2の電極が前記イオン伝導体上に離間配置され、該第1の電極と該第2の電極の電極間距離が $0.5\ \mu\text{m}$ 以下である請求項3記載のスイッチング素子。

- [6] 前記第1の電極が前記基板上に配置され、
前記イオン伝導体が前記第1の電極上に配置され、
前記第2の電極および前記第3の電極が前記イオン伝導体上に配置され、該第1の電極と該第2の電極の電極間距離が前記イオン伝導体の膜厚以上である請求項3記載のスイッチング素子。
- [7] 前記第3の電極に電圧が印加されることにより、前記第1の電極と前記第2の電極の間の電気特性が制御される請求項1から6のいずれか1項に記載のスイッチング素子。
- [8] 前記電気特性が導電率である請求項7に記載のスイッチング素子。
- [9] 前記第1の電極および前記第2の電極の少なくとも1つの電極に対して前記第3の電極に正の電圧が印加されることにより、該第1の電極と該第2の電極の間が電氣的に接続された状態のオン状態が形成され、
前記第1の電極および前記第2の電極の少なくとも1つの電極に対して前記第3の電極に負の電圧が印加されることにより、該第1の電極と該第2の電極の間が絶縁された状態のオフ状態が形成される請求項1から6のいずれか1項に記載のスイッチング素子。
- [10] 前記第2の電極が電気化学反応により前記イオン伝導体中に溶解する金属を含む請求項1から6のいずれか1項に記載のスイッチング素子。
- [11] 前記第1の電極に対して前記第2の電極に正の電圧が印加される、または前記第1の電極および前記第2の電極の少なくとも1つの電極に対して前記第3の電極に正の電圧が印加されることにより、該第1の電極と該第2の電極の間が電氣的に接続された状態のオン状態が形成され、
前記第1の電極に対して前記第2の電極に負の電圧が印加される、または前記第1の電極および前記第2の電極の少なくとも1つの電極に対して前記第3の電極に負の

電圧が印加されることにより、該第1の電極と該第2の電極の間が絶縁された状態のオフ状態が形成される請求項10記載のスイッチング素子。

- [12] 前記第1の電極、前記第2の電極および前記第3の電極のうち少なくとも1つの電極において、前記イオン伝導体に接する面に先鋭部を有する請求項1から6のいずれか1項に記載のスイッチング素子。
- [13] 前記イオン伝導体が、元素の周期律表における6B族を含むカルコゲナイド材料、金属イオン性ガラス、または金属イオン性非晶質半導体である請求項1から6のいずれか1項に記載のスイッチング素子。
- [14] 前記イオン伝導体と前記第3の電極の組み合わせが、硫化銅と銅、または硫化銀と銀の組み合わせであり、
前記第1の電極および前記第2の電極において、前記イオン伝導体と接する部分が、白金、アルミニウム、金、チタン、タングステン、バナジウム、ニオブ、タンタル、クロム、もしくはモリブデン、これらの金属の窒化物、またはこれらの金属のシリサイド、あるいはこれらの物質の組み合わせを含むものである請求項1から6のいずれか1項に記載のスイッチング素子。
- [15] 前記イオン伝導体と前記第3の電極および前記第2の電極との組み合わせが、硫化銅と銅、または硫化銀と銀の組み合わせであり、
前記第3の電極において、前記イオン伝導体と接する部分が、白金、アルミニウム、金、チタン、タングステン、バナジウム、ニオブ、タンタル、クロム、もしくはモリブデン、これらの金属の窒化物、またはこれらの金属のシリサイド、あるいはこれらの物質の組み合わせを含むものである請求項10に記載のスイッチング素子。
- [16] 前記イオン伝導体が電解液である請求項1から6のいずれか1項に記載のスイッチング素子。
- [17] 請求項7記載のスイッチング素子を用いた、スイッチング素子の駆動方法であって、
前記第3の電極に印加する電圧および／または電圧印加時間によって前記電気特性を制御する、スイッチング素子の駆動方法。
- [18] 請求項9に記載のスイッチング素子を用いた、スイッチング素子の駆動方法であって、

前記オン状態と前記オフ状態とを前記第3の電極に印加する電圧の極性により切り替え、該第3の電極への電圧を停止することにより該オン状態または該オフ状態を保持する、スイッチング素子の駆動方法。

- [19] 請求項11に記載のスイッチング素子を用いた、スイッチング素子の駆動方法であって、

前記オン状態と前記オフ状態とを前記第3の電極に印加する電圧の極性により切り替え、該第3の電極への電圧を停止することにより該オン状態または該オフ状態を保持する、スイッチング素子の駆動方法。

- [20] 請求項9に記載のスイッチング素子を用いた、スイッチング素子の駆動方法であって、

前記オン状態と前記オフ状態間を遷移させる際、前記第1の電極および前記第2の電極間の伝導度を測定し、該伝導度の変化量によって前記第3の電極に印加する電圧を制御する、スイッチング素子の駆動方法。

- [21] 請求項11に記載のスイッチング素子を用いた、スイッチング素子の駆動方法であって、

前記オン状態と前記オフ状態間を遷移させる際、前記第1の電極および前記第2の電極間の伝導度を測定し、該伝導度の変化量によって前記第3の電極に印加する電圧を制御する、スイッチング素子の駆動方法。

- [22] 請求項7に記載のスイッチング素子をプログラム用スイッチに用いた書き換え可能な論理集積回路。

- [23] 請求項7に記載のスイッチング素子と、MOSTランジスタまたはダイオードとをそれぞれ1つずつ備えたメモリセルを基本単位とするメモリ素子。

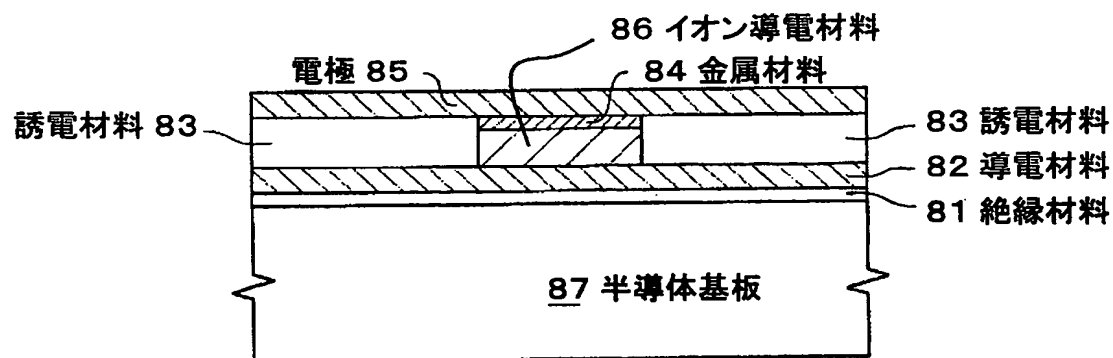
- [24] 前記メモリセルはMOSTランジスタを備え、

前記スイッチング素子は、前記第2の電極が前記MOSTランジスタのドレイン電極に接続され、前記第1の電極が第1のビット線に接続され、前記第3の電極が第1のワード線に接続され、

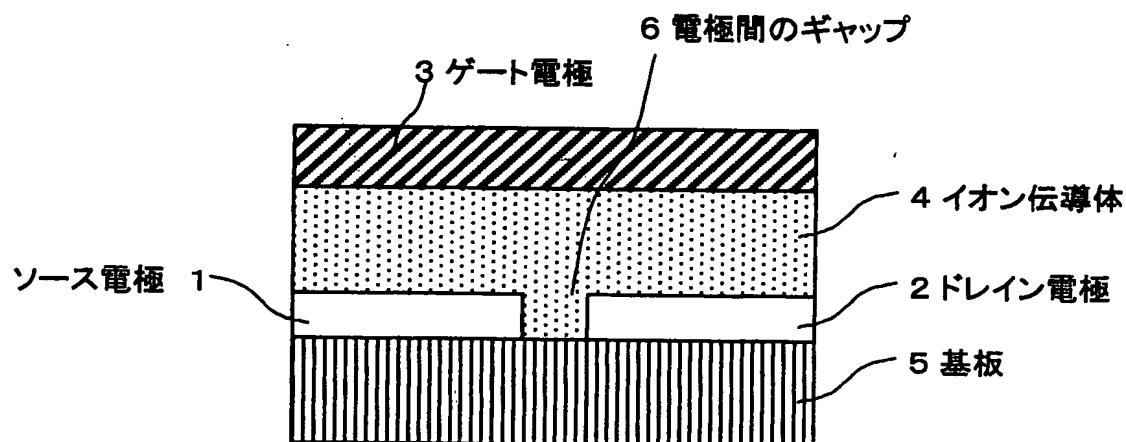
前記MOSTランジスタは、ソース電極が前記第1のビット線と異なる第2のビット線に接続され、ゲート電極が前記第1のワード線と異なる第2のワード線に接続された請

求項23記載のメモリ素子。

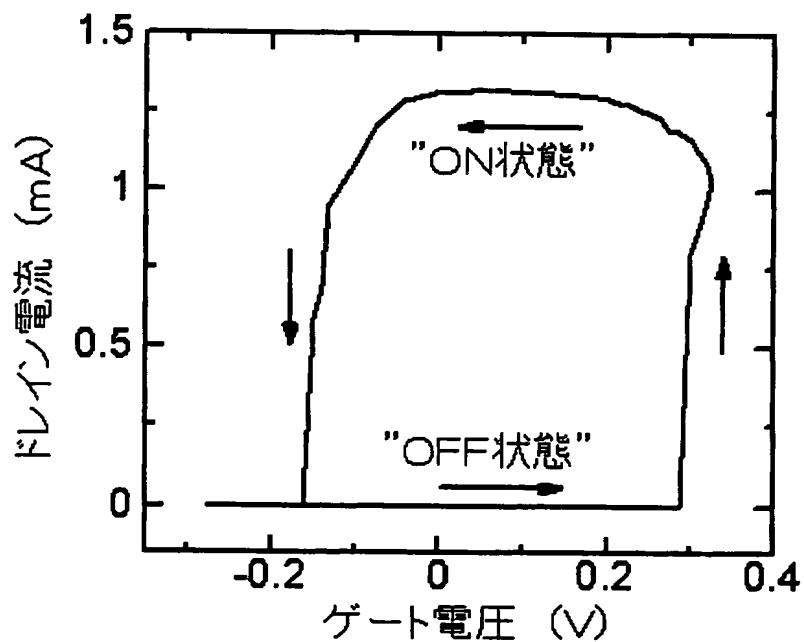
[図1]



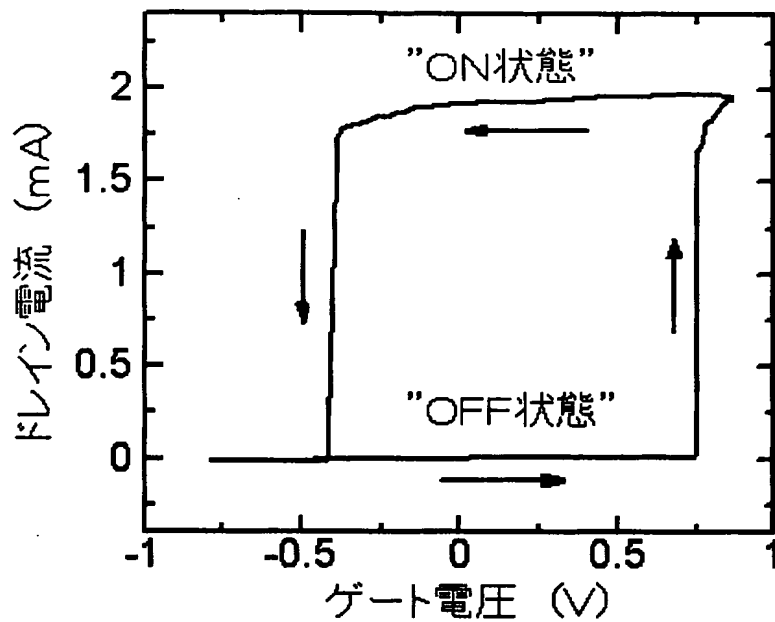
[図2]



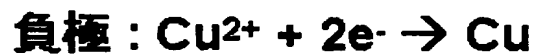
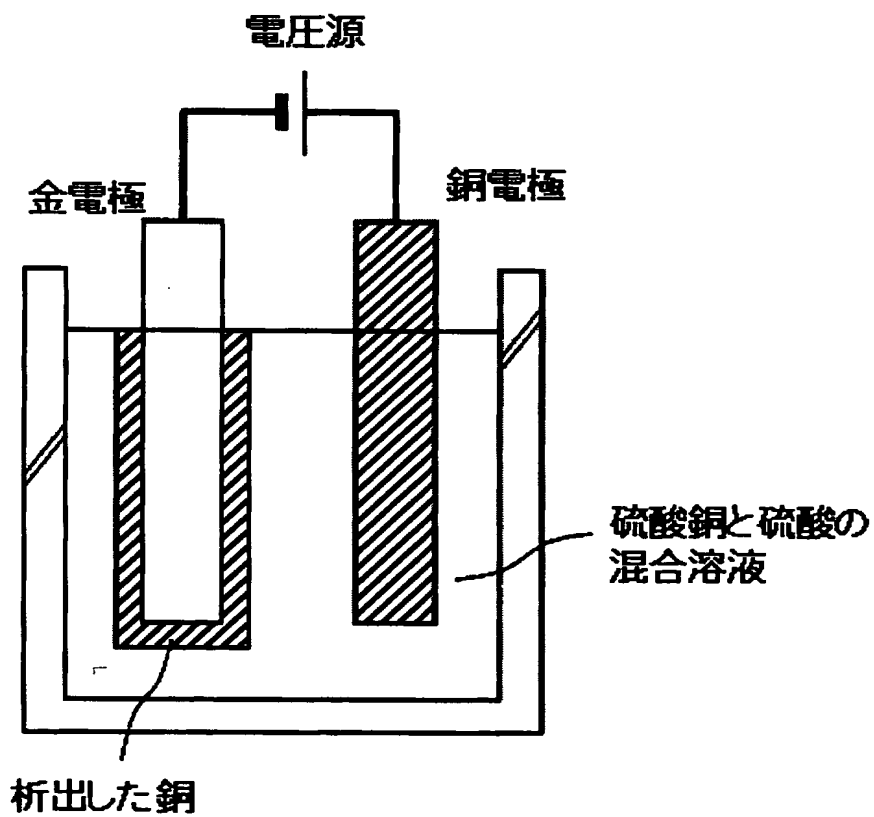
[図3A]



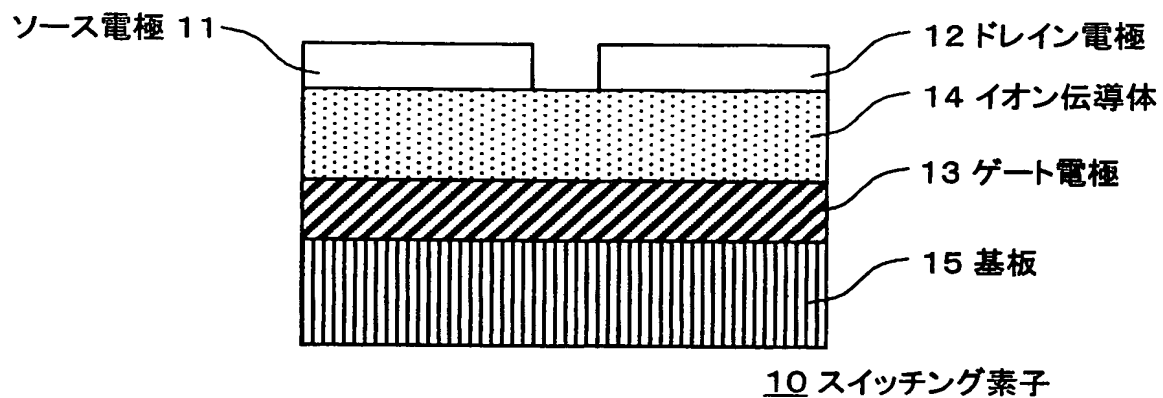
[図3B]



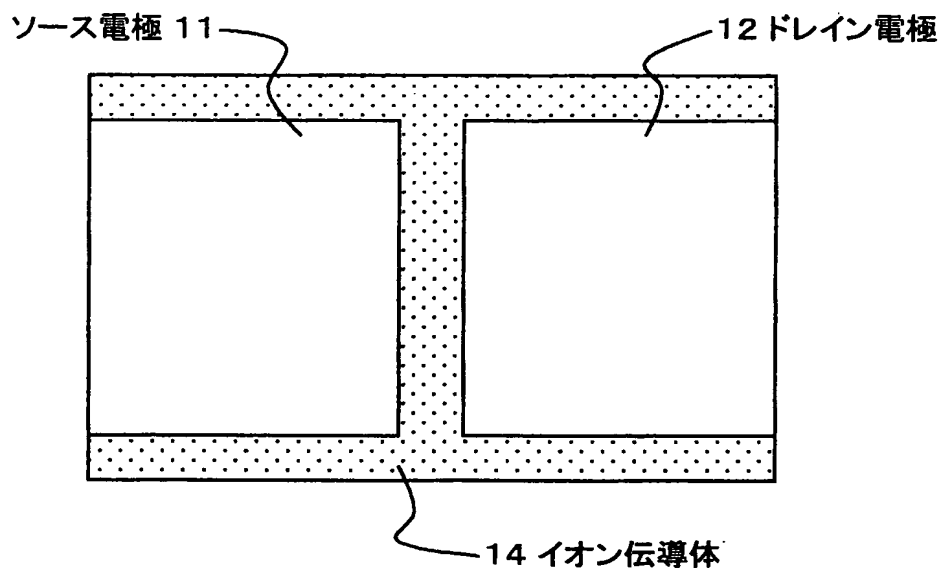
[図4]



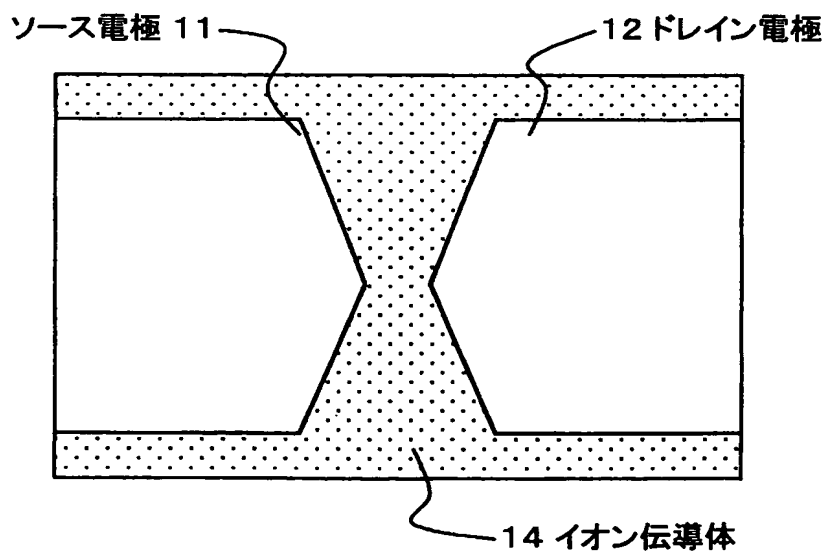
[図5]



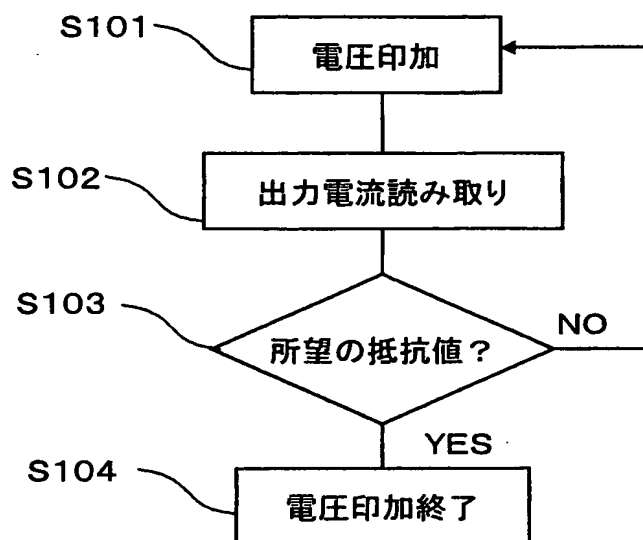
[図6A]



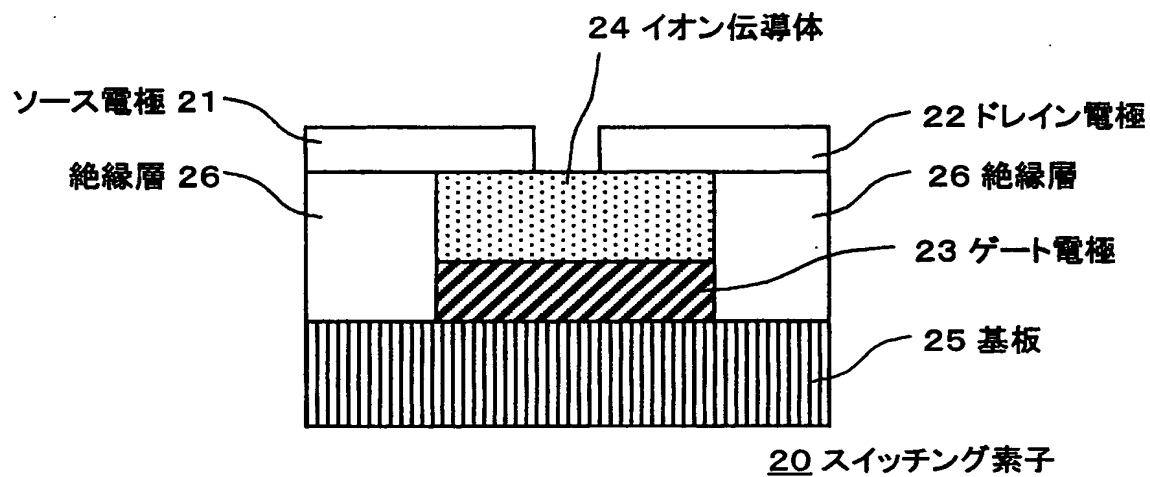
[図6B]



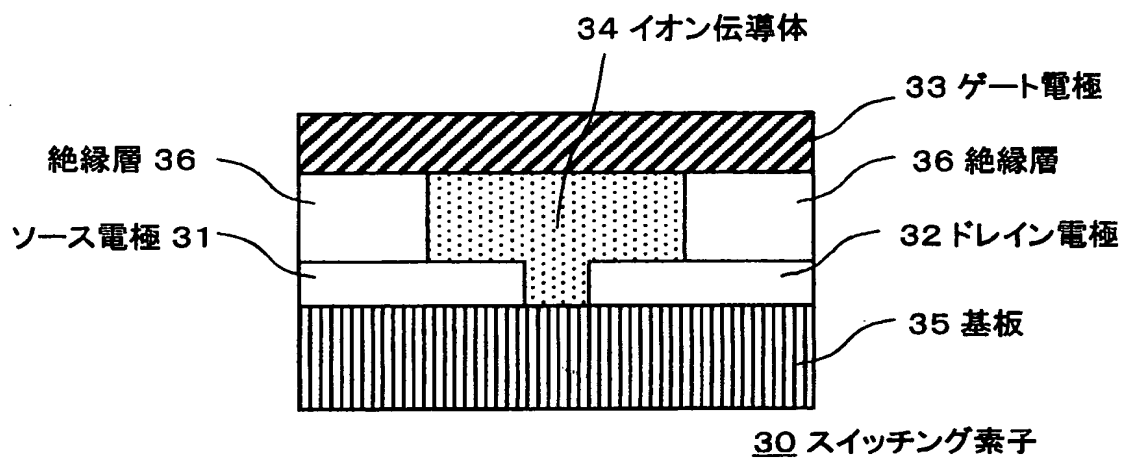
[図7]



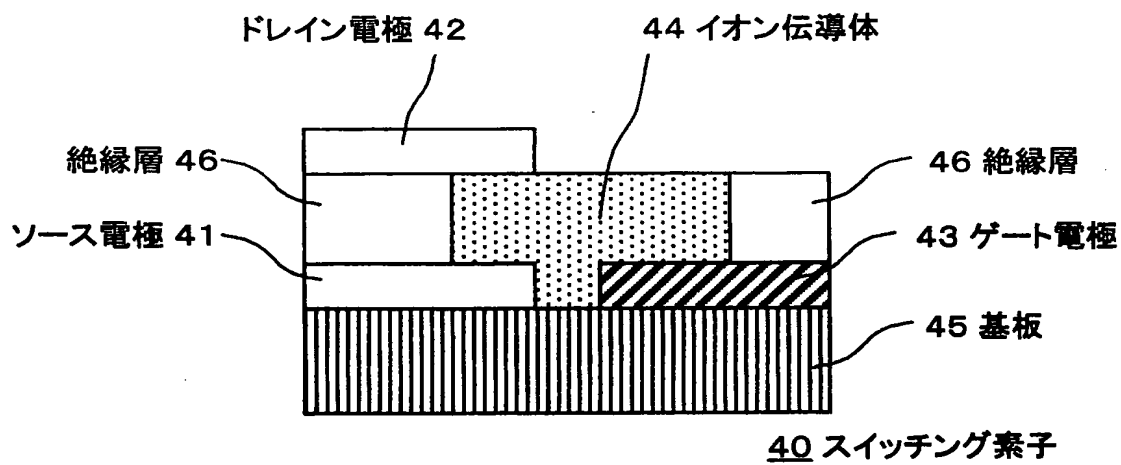
[図8A]



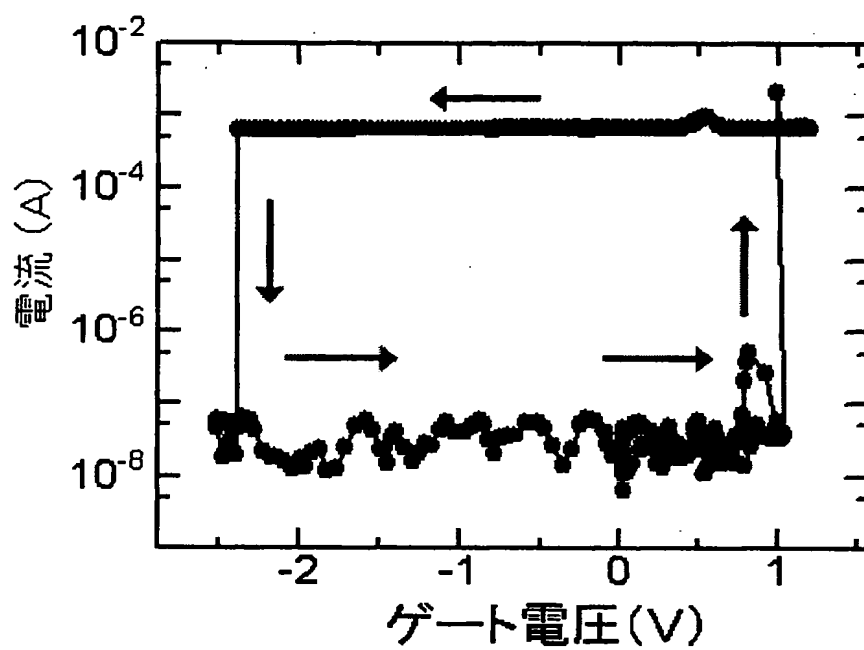
[図8B]



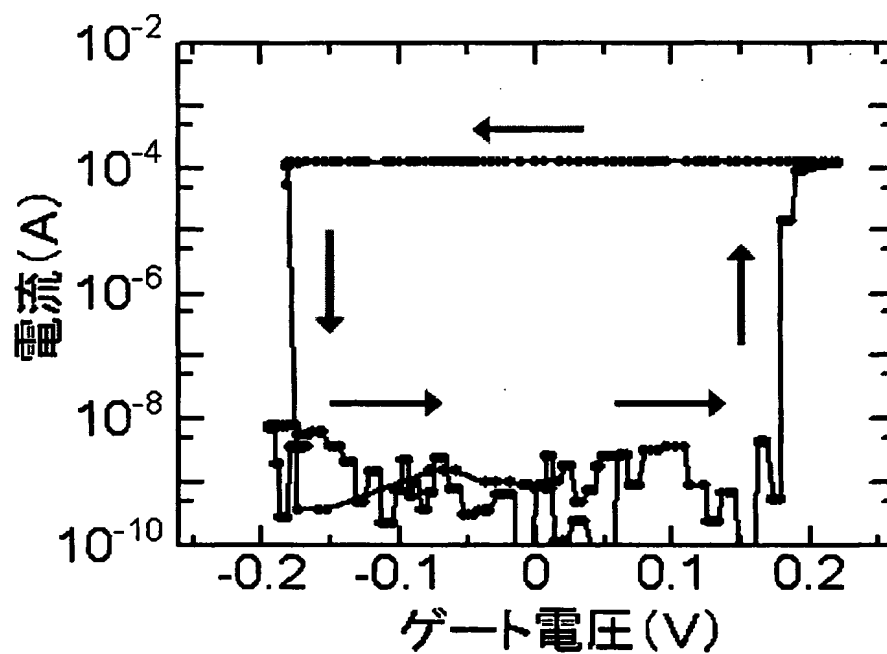
[図8C]



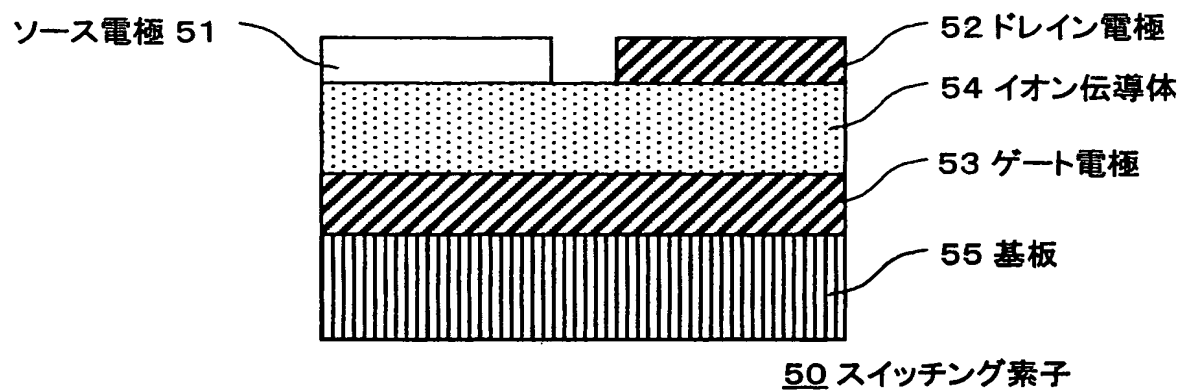
[図9]



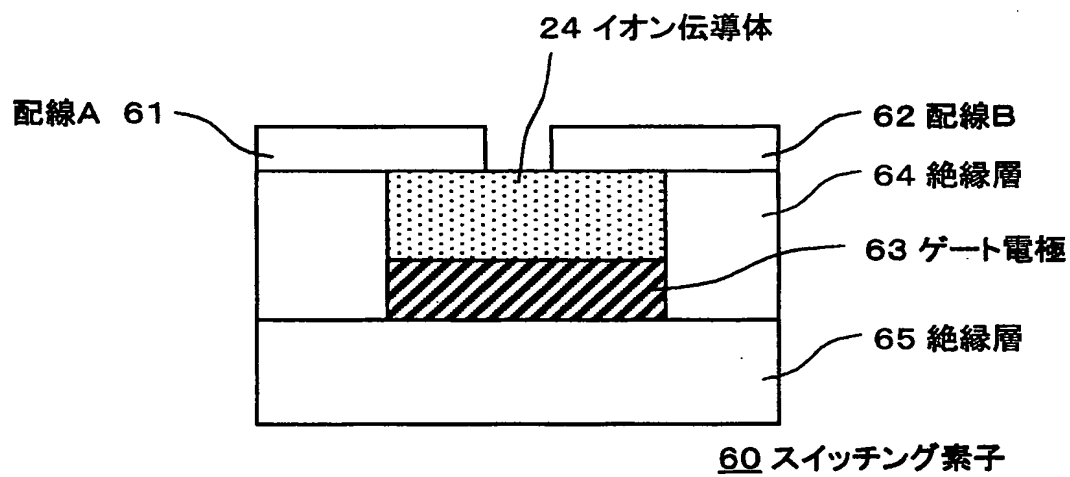
[図10]



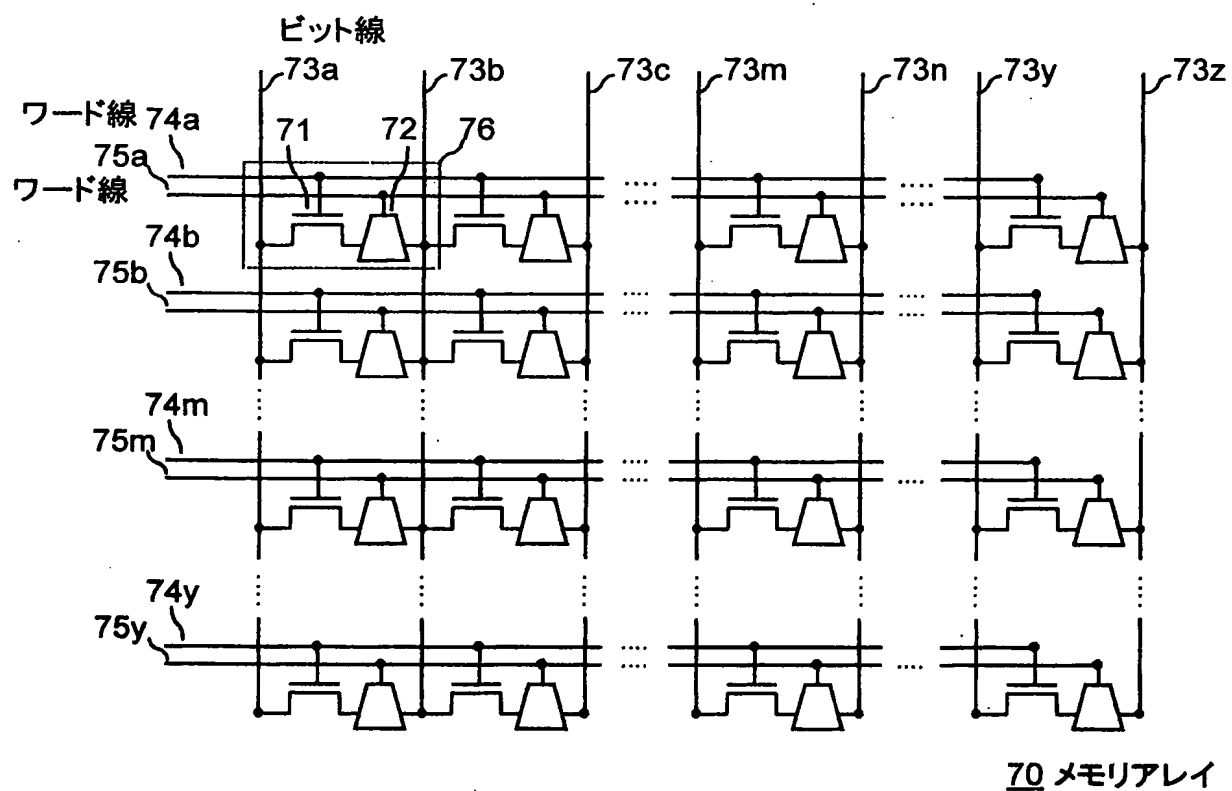
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010206

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/66, H01L21/82, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/66, H01L21/82, H01L49/00, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-36355 A (Hitachi, Ltd.), 07 February, 1997 (07.02.97), Full text; all drawings (Family: none)	1-24
A	JP 2002-536840 A (Arizona Bord of Regent), 29 October, 2002 (29.10.02), Full text; all drawings & WO 2000/048196 A1 & EP 1159743 A1 & US 6487106 B1	1-24
A	JP 2002-76325 A (Japan Science and Technology Corp.), 15 March, 2002 (15.03.02), Full text; all drawings & EP 1329958 A1	1-24

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 September, 2004 (28.09.04)Date of mailing of the international search report
12 October, 2004 (12.10.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷

H01L29/66 H01L21/82 H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷

H01L29/66 H01L21/82 H01L49/00 H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE xplore

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 9-36355 A (株式会社日立製作所) 1997.02.07, 全文, 全図 (ファミリーなし)	1-24
A	J P 2002-536840 A (アリゾナ ボード オブ リ ージェンツ) 2002.10.29, 全文, 全図 & WO 2000/048196 A1 & EP 1159743 A1 & US 6487106 B1	1-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に関する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

28.09.2004

国際調査報告の発送日

12.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

4M

9634

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-76325 A (科学技術振興事業団) 2002. 03. 15, 全文, 全図 & EP 1329958 A1	1-24